

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-126050

(43)Date of publication of application : 11.05.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133
H04N 5/66

(21)Application number : 09-290968

(71)Applicant : CANON INC

(22)Date of filing : 23.10.1997

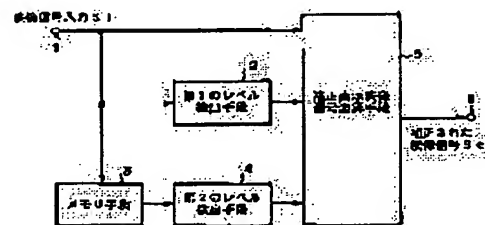
(72)Inventor : SAKASHITA YUKIHIKO

(54) DEVICE AND METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display panel driving device capable of enhancing the display characteristic while considering the signal level dependence of the transient characteristic of a liquid crystal display panel.

SOLUTION: This device is provided with a first signal level detecting means 2 detecting the signal level of an input video signal, a memory means 3 delaying the input video signal by an arbitrary fixed time, a second signal level detecting means 4 detecting the signal level of the output of the memory means 3 and a corrected display video signal arithmetic means 5 correcting the input video signal based on outputs of the first signal level detecting means 2 and the second signal level detecting means 4 and the arbitrary fixed time and outputting the corrected video signal.



LEGAL STATUS

[Date of request for examination]

24.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3305240

[Date of registration]

10.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126050

(43) 公開日 平成11年(1999) 5月11日

(51) Int. Cl. ⁶	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133 5 7 5
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66 1 0 2 B

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平9-290968

(22) 出願日 平成 9 年(1997) 10月23日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子 3 丁目30番 2 号

(72) 発明者 坂下 幸彦

東京都大田区下丸子 3 丁目30番 2 号 キヤ
ノン株式会社内

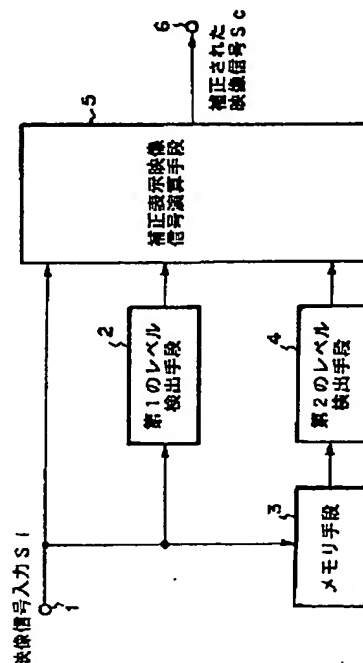
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 液晶表示パネル駆動装置と駆動方法

(57) 【要約】

【課題】 液晶表示パネルの過渡特性の信号レベル依存性を考慮して表示特性を改善する液晶表示パネル駆動装置を提供する。

【解決手段】 入力映像信号の信号レベルを検出する第1の信号レベル検出手段と、入力映像信号を任意の一定時間だけ遅延させるメモリ手段と、メモリ手段の出力の信号レベルを検出する第2の信号レベル検出手段と、第1の信号レベル検出手段と第2の信号レベル検出手段との出力と、任意の一定時間とをもとにして、入力映像信号を補正して出力する補正表示映像信号演算手段と、を備える。



【特許請求の範囲】

【請求項1】 入力映像信号の信号レベルを検出する第1の信号レベル検出手段と、

前記入力映像信号を任意の一定時間だけ遅延させるメモリ手段と、

該メモリ手段の出力の信号レベルを検出する第2の信号レベル検出手段と、

前記第1の信号レベル検出手段と前記第2の信号レベル検出手段との出力と、前記任意の一定時間とをもとにして、前記入力映像信号を補正して出力する補正表示映像信号演算手段と、

を備えることを特徴とする液晶表示パネル駆動装置。

【請求項2】 入力映像信号の信号レベルをエンコードする第1のエンコード手段と、

前記入力映像信号を任意の一定時間だけ遅延させるメモリ手段と、

該メモリ手段の出力の信号レベルをエンコードする第2のエンコード手段と、

前記第1および第2のエンコード手段の出力を基に補正値を得る補正映像信号演算手段と、

前記入力映像信号に前記補正値を加減算する加減算手段と、

を備えることを特徴とする液晶表示パネル駆動装置。

【請求項3】 入力映像信号の信号レベルをエンコードする第1のエンコード手段と、

前記入力映像信号の信号レベルをエンコードする第2のエンコード手段と、

該第2のエンコード手段の出力を任意の一定時間だけ遅延させるメモリ手段と、

前記第1のエンコード手段の出力と前記メモリ手段の出力とを基に補正値を得る補正映像信号演算手段と、

前記入力映像信号に前記補正値を加減算する加減算手段と、

を備えることを特徴とする液晶表示パネル駆動装置。

【請求項4】 入力映像信号の信号レベルをエンコードするエンコード手段と、

該エンコード手段の出力を任意の一定時間だけ遅延させるメモリ手段と、

前記エンコード手段の出力と前記メモリ手段の出力とを基に補正値を得る補正映像信号演算手段と、

前記入力映像信号に前記補正値を加減算する加減算手段と、

を備えることを特徴とする液晶表示パネル駆動装置。

【請求項5】 前記補正表示映像信号演算手段は、液晶表示パネルの駆動電圧対表示輝度のステップ応答出力の前記任意の一定時間後の値のステップ前後のレベルへの依存性に基づき、前記第1の信号レベル検出手段の出力と前記第2の信号レベル検出手段の出力との差と、前記液晶表示パネルの表示輝度のステップレベルとの間に線形関係が保たれるように前記入力映像信号を補正するこ

とを特徴とする請求項1乃至4のいずれか1項に記載の液晶表示パネル駆動装置。

【請求項6】 前記補正映像信号演算手段はルックアップテーブルよりなることを特徴とする請求項1乃至4のいずれか1項に記載の液晶表示パネル駆動装置。

【請求項7】 前記任意の一定時間は前記入力映像信号が液晶表示パネルの同一画素を再度駆動するまでの時間であることを特徴とする請求項1乃至5のいずれか1項に記載の液晶表示パネル駆動装置。

【請求項8】 液晶表示パネルの駆動電圧対表示輝度のステップ応答出力の任意の一定時間後の値のステップ前後のレベルへの依存性に基づき、映像信号のステップレベルと前記液晶表示パネルの表示輝度のステップレベルとの間に線形関係が保たれるように補正した前記映像信号で駆動することを特徴とする液晶表示パネル駆動方法。

【請求項9】 請求項8に記載の液晶表示パネル駆動方法において、現在の前記映像信号のレベルが低いときに、該レベルが高いときよりも細かく補正することを特徴とする液晶表示パネル駆動方法。

【請求項10】 前記任意の一定時間は前記映像信号が液晶表示パネルの同一画素を再度駆動するまでの時間であることを特徴とする請求項8又は9に記載の液晶表示パネル駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示パネルにおける表示特性を改善した液晶表示パネル駆動装置および駆動方法に関するものである。

【0002】また、本発明は液晶表示パネルにおける応答速度改善回路に関するものである。

【0003】

【従来の技術】従来、液晶表示パネルの表示特性を改善する装置としては、特公平7-52331号広報に記載の装置やUSP5119084に記載の装置のように応答速度の改善を目的とするものがあつた。

【0004】

【発明が解決しようとする課題】しかしながら、これらの従来例では、応答速度を改善するために加減算を行う補正量が表示を行うデータの信号レベルとは無関係であるという問題があつた。

【0005】例えば、PDL液晶を用いた表示装置では、前記フレームの信号レベルと現フレームの信号レベルの絶対値により応答速度は大きく異なる。

【0006】ここで、最大輝度レベルの0%~100%までの応答速度は十分に速いが、0%から10%までの応答速度は非常に遅い。

【0007】この様に、前フレームの信号レベルと現フレームの信号レベルの値により、応答速度は大きく異なるため、従来例の様に信号レベルによらない一定の補正

方法では、最適な応答速度の改善ができなかった。

【0008】例えば、応答速度の速い信号レベルに合わせて調整を行うと応答速度の遅い信号レベルでは十分な改善効果が得られず、逆に応答速度の遅い信号レベルに合わせて調整を行うと応答速度の速い信号レベルでは過度に補正するためノイズが目立つ映像となるという問題があった。

【0009】

【課題を解決するための手段】本発明による液晶表示パネル駆動装置は、入力映像信号の信号レベルを検出する第1の信号レベル検出手段と、前記入力映像信号を任意の一定時間だけ遅延させるメモリ手段と、該メモリ手段の出力の信号レベルを検出する第2の信号レベル検出手段と、前記第1の信号レベル検出手段と前記第2の信号レベル検出手段との出力と、前記任意の一定時間とをもとにして、前記入力映像信号を補正して出力する補正表示映像信号演算手段と、を備えることを特徴とする。

【0010】また、本発明による液晶表示パネル駆動装置は、入力映像信号の信号レベルをエンコードする第1のエンコード手段と、前記入力映像信号を任意の一定時間だけ遅延させるメモリ手段と、該メモリ手段の出力の信号レベルをエンコードする第2のエンコード手段と、前記第1および第2のエンコード手段の出力を基に補正値を得る補正映像信号演算手段と、前記入力映像信号に前記補正値を加減算する加減算手段と、を備えることを特徴とする。

【0011】更に、本発明による液晶表示パネル駆動装置は、入力映像信号の信号レベルをエンコードする第1のエンコード手段と、前記入力映像信号の信号レベルをエンコードする第2のエンコード手段と、該第2のエンコード手段の出力を任意の一定時間だけ遅延させるメモリ手段と、前記第1のエンコード手段の出力と前記メモリ手段の出力とを基に補正値を得る補正映像信号演算手段と、前記入力映像信号に前記補正値を加減算する加減算手段と、を備えることを特徴とする。

【0012】更に、本発明による液晶表示パネル駆動装置は、入力映像信号の信号レベルをエンコードするエンコード手段と、該エンコード手段の出力を任意の一定時間だけ遅延させるメモリ手段と、前記エンコード手段の出力と前記メモリ手段の出力とを基に補正値を得る補正映像信号演算手段と、前記入力映像信号に前記補正値を加減算する加減算手段と、を備えることを特徴とする。

【0013】更に、本発明による液晶表示パネル駆動装置は、前記補正表示映像信号演算手段が、液晶表示パネルの駆動電圧対表示輝度のステップ応答出力の前記任意の一定時間後の値のステップ前後のレベルへの依存性に基づき、前記第1の信号レベル検出手段の出力と前記第2の信号レベル検出手段の出力との差と、前記液晶表示パネルの表示輝度のステップレベルとの間に線形関係が保たれるように前記入力映像信号を補正することを特徴

とする。

【0014】更に、本発明による液晶表示パネル駆動装置は、前記補正映像信号演算手段がルックアップテーブルよりなることを特徴とする。

【0015】更に、本発明による液晶表示パネル駆動装置は、前記任意の一定時間が前記入力映像信号が液晶表示パネルの同一画素を再度駆動するまでの時間であることを特徴とする。

【0016】本発明による液晶表示パネル駆動方法は、液晶表示パネルの駆動電圧対表示輝度のステップ応答出力の任意の一定時間後の値のステップ前後のレベルへの依存性に基づき、映像信号のステップレベルと前記液晶表示パネルの表示輝度のステップレベルとの間に線形関係が保たれるように補正した前記映像信号で駆動することを特徴とする。

【0017】また、本発明による液晶表示パネル駆動方法は、上記の液晶表示パネル駆動方法において、現在の前記映像信号のレベルが低いときに、該レベルが高いときよりも細かく補正することを特徴とする。

【0018】更に、本発明による液晶表示パネル駆動方法は、前記任意の一定時間は前記映像信号が液晶表示パネルの同一画素を再度駆動するまでの時間であることを特徴とする。

【0019】〔作用〕動画表示をした場合においても、残像のより少ない映像を表示することが可能となるため、応答速度の遅い液晶表示パネルであっても、動画表示を行う用途に用いることが可能となる。

【0020】

〔発明の実施の形態〕

【実施形態1】図1は、実施形態1による液晶表示パネル駆動装置の構成を示すブロック図である。図1において1は現在の入力映像の入力端子、2は、現在の入力映像信号を入力とする第1のレベル検出手段、3は一定時間前の映像信号を一定時間遅らせるためのメモリ手段、4はメモリ手段3より出力される一定時間前の映像信号を入力とする第2のレベル検出手段であり、5は前記現在の入力映像信号と前記第1のレベル検出手段1と前記第2のレベル検出手段2に接続され、それらの入力信号をもとにして、表示する映像信号を演算する補正表示映像信号演算手段である。6は補正表示映像信号演算手段5の出力が接続される出力端子である。

【0021】まず、図6を参照して本発明の液晶表示パネルにおける応答速度補正回路で行われている応答速度補正の原理について説明する。

【0022】図6においてSiは液晶表示パネルによって表示されるべき映像信号の入力信号である。

【0023】一般に液晶表示パネルに使用されている液晶が持つ粘性により、液晶分子の配向の変化が電界の変化に対して遅れて起こるため、液晶表示パネルに例えばステップ上の電圧状の信号Siが入力された場合にも液

晶の過度応答特性により、液晶表示パネルの表示の状態が図6(a)のS_oで示されるように立上りが遅れる。

【0024】立ち下がりが同様に遅れるが図示は省略する。

【0025】また、本実施形態では、図6(b)は前記した図6(a)に示されている液晶表示素子における表示の状態が図中のS_oのように、液晶の過度応答特性によって入力信号S_iの時間軸上での変化状態に対して遅れる分が図6(b)におけるS_{o'}のように実質的に補正された状態になるように、補正表示映像信号演算手段

5が、補正表示映像手段ステップ上の入力信号S_iを予め信号S_cに変換する。

【0026】ここで補正済の映像出力S_cとしては、1フィールドの期間内に所望の信号レベルに到達する信号レベルが選ばれる。

【0027】例えば、リフレッシュレートが60Hzの映像信号を表示する場合、約16.6ms以内に液晶の応答が所望の最終値に到達しなければ、正確な表示を行うことができず、残像が発生する。

【0028】従って、液晶表示パネルに出力される映像信号レベルとしては、前記16.6ms前後に液晶の応答が所望の値に到達する信号レベルを用いる。

【0029】図7を用いて、補正済映像出力信号S_cの演算方法について説明する。

【0030】図7に液晶の入力電圧対表示輝度のステップ応答における過度特性を示す。

【0031】線aは、表示輝度が0%から30%に変化する場合の過度特性を示す。

【0032】線bは、表示輝度が0%から50%に変化する場合の過度特性、線cは、表示輝度が0%から70%に変化する場合の過度特性である。

【0033】例えば、NTSCのTV映像の1フィールド期間は約16.6ms(=1/60[s ec])であるため、液晶表示パネルの応答速度は16.6ms以内であることが望まれる。

【0034】リフレッシュレート60Hzにて輝度30%を表示しようとする場合には、約16.6ms以内に最終値に到達しなければならないが、実際には図7に示す様に約16.6msでは最終値の約30%(表示輝度10%)までしか到達することができない。

【0035】そのため、動画表示の場合に残像が発生するという問題があった。

【0036】ここで、図7の線bは16.6msにて表示輝度の30%に到達することができる。

【0037】従って、1フィールド後に表示すべき輝度が0%から30%に変化する場合、表示輝度が0%から50%に変化するような表示信号を印加する。

【0038】これにより、16.6msで表示輝度30%に到達することができる。

【0039】本例では、表示輝度が0%からの場合に

いてのみ説明したが、他の表示輝度から別の表示輝度に変化する場合においても同様の方法にて補正済映像出力信号を算出する。

【0040】以上のように、補正後の映像出力信号S_cは入力信号のレベルと一定時間前の入力信号のレベルと、その時間により決定される。

【0041】このように演算された補正後の映像出力信号を出力端子6を介して、液晶表示パネルに印加することにより、図6(b)のS_{o'}のような最適な表示を得ることができる。

【0042】ここで、補正済映像出力S_cの演算結果は、目的とする輝度に完全に一致する必要はなく、必要な演算精度および補正効果の好み等により適宜調整される。

【0043】補正表示映像信号演算手段は、例えば、現在フィールドの入力映像信号レベルと1フィールド前の入力映像信号レベルとをアドレスとし、補正後の映像出力信号S_cをデータとするルックアップテーブル(以下、LUTと称する)で構成することができる。

【0044】また、本実施形態では、NTSC信号の1フィールド時間(16.6ms)の周期で液晶パネルの同一画素を駆動するとしたが、周期はこれに限定されるものではなく、NTSC信号の1フレーム周期、PAL/SECOM信号のフィールド周期又はフレーム周期、VGA信号やSVGA信号のリフレッシュレートに対応した周期であってもよい。この場合、各種の信号に対応した補正表示映像信号手段5の特性を予め用意しておいて、信号の種類に応じて特性を切り替えることにより各種の信号に対応することができる。

【0045】また、各々のリフレッシュレートに対して独立にLUTを持つのではなく、平均的な補正值を持つLUTで代用してもよい。

【0046】[実施形態2]図2は実施形態2による液晶表示パネル駆動装置の構成を示すブロック図である。これは実施形態1の液晶表示パネル駆動装置の詳細な回路構成の一例である。

【0047】201は現在の映像信号を入力するための入力端子、202は現在の映像信号を入力とする第1のエンコーダ回路(エンコーダ1)、203は1フレームまたは1フィールドだけ映像信号を遅延させるためのフレームメモリ、204はフレームメモリ203より出力される1フレームまたは1フィールド前の映像信号を入力とする第2のエンコーダ回路(エンコーダ2)であり、205は第1のエンコーダ回路201と第2のエンコーダ回路203に接続されるLUT、206は現在の映像信号とLUT205より出力される補正データを加減算するための加減算器であり、207は出力端子である。LUT205と加減算器206で実施形態1の補正表示映像信号演算手段5を形成する。

【0048】以下、本実施形態を詳細に説明する。

【0049】映像入力端子201より入力された映像信号Siは、第1のエンコーダ回路202に入力される。

【0050】ここで、現在の映像信号Siは8bitの信号とする。

【0051】図3に第1のエンコーダ回路の詳細回路を示す。

【0052】入力端子301よりエンコーダ回路に入力された映像信号Siは、比較器302～316にて各々比較レベル322～336と比較される。本実施例では15個の比較器を用いることにより入力8bitを16

状態に変換し、その出力をエンコーダ317にて4bitの信号に変換する。318は出力端子である。

【0053】ここで、比較レベルは、演算精度が要求される信号レベル範囲では細かく設定され、演算精度が要求されない信号レベル範囲では荒く設定される。例えば、信号レベルが低い範囲では比較レベルを細かく設定し、信号レベルが高い範囲では比較レベルを粗く設定する。

【0054】これにより、入力の信号レベルにより演算精度の重み付けをすることが可能となる。

【0055】図2において、第1のエンコーダ回路202より出力された信号は、LUT205に入力される。

【0056】また、フレームメモリ203には、映像入力端子201より入力される映像信号を書込まれ、次のフレームまたはフィールドが映像入力端子より入力されるときに、以前に書込みした1フレームまたは1フィールド前の映像信号がフレームメモリ203から読み出される。203より読み出された1フレームまたは1フィールド前の映像信号は、第2のエンコーダ回路204に入力される。

【0057】第2のエンコーダ回路204の構成は図3に示す第1のエンコード回路202の構成と同一であるので重複する説明は省略する。

【0058】フレームメモリより出力された1フレームまたは1フィールド前の映像信号は、第2のエンコーダ回路204に入力され、入力信号のレベルにより重み付けされた信号に変換される。ここでは、第1のエンコーダ回路と同様に8bitの入力信号を4bitに変換するものとして説明する。

【0059】第2のエンコーダ回路204により重み付けをされた信号は、LUT205に入力される。

【0060】従って、LUT205には、第1のエンコーダ回路より出力される4bitの信号と第2のエンコーダ回路より出力される4bitの信号の計8bitの信号が入力される。

【0061】LUT205はアドレス8bitを入力して、そのアドレスにより選択されるデータ8bitを出力する。

【0062】本例では、第1のエンコーダ回路202からの出力4bitがLUT205のアドレス入力の上位

4bitに接続され、第2のエンコーダ回路204からの出力4bitがLUT205のアドレス入力の下位4bitに入力される。

【0063】LUT205のデータには、各々のアドレスに対応した補正值を入力しておく。

【0064】図8はLUT205の一例であり、アドレスの上位4bit（現在の映像信号レベル）とアドレスの下位4bit（1フレームまたは1フィールド前の映像信号レベル）から現在の映像信号に加減算する補正量を選択し出力される。

【0065】例えば、1フレームまたは1フィールド前の信号レベルが0000bであり、現在の映像信号レベルが0111bである場合には、補正值として+31（0001 1111b）が選択される。

【0066】補正值+31と現在の映像信号を加減算器206にて、加算し、液晶表示パネルに印加することにより、表示速度の劣化の無い映像を表示することが可能となる。

【0067】本実施形態では入力映像信号を8bitとし、エンコーダ回路にて4bitに圧縮した後、補正データを演算する構成としたが、入力信号およびエンコーダによる圧縮されるbit数は、要求される演算精度および使用可能なハード量との兼ね合いから適当なbit数を選べばよい。

【0068】また、入力映像信号8bitの上位4bitのみを使うなどの簡単な構成で実現することもできる。

【0069】また、入力映像信号8bitを圧縮せずにそのまま演算回路に入力する構成をとることも可能である。

【0070】また、本実施形態では、補正表示映像信号演算手段5の一例として、予め演算した結果を入力したLUT205と加減算器206を用いたが、補正表示映像信号演算手段5としては、演算を行う演算回路を別途設けてもよい。203のフレームメモリは特殊なビデオメモリである必要はなく、メモリ手段であればSRAM、DRAM、EDORAM、SDRAM、FIFOなどメモリ機能があれば何でも良い。

【0071】〔実施形態3〕図4は実施形態3による液晶表示パネル駆動装置の構成を示すブロック図である。

【0072】ここでは、第2のエンコーダ回路404により信号レベルを検出し、信号を圧縮した後にフレームメモリ403に書込む構成としている。

【0073】本構成をとることにより、フレームメモリに書込むbit数を削減することができるため、容量の少ないメモリを用いることが可能となり、コスト削減が可能となるというメリットがある。

【0074】〔実施形態4〕図5は実施形態4による液晶表示パネル駆動装置の構成を示すブロック図である。

【0075】この実施形態は、実施形態3と比較して、

10

20

30

40

50

第2のエンコーダ回路404を削除し、第1のエンコーダ回路402の出力を直接フレームメモリに書き込む点が異なる。この実施形態の構成は、第2のエンコーダ回路404によるレベル検出範囲が第1のエンコーダ回路402のレベル検出範囲と同じである場合に可能となる。

【0076】実施形態3と比較して更にハード量を減らしコストを削減する効果がある。

【0077】

【発明の効果】以上説明したように本発明によれば、現在の入力映像信号のレベルと同一画素を駆動した過去の入力映像信号のレベルに応じて液晶表示パネルの駆動信号を最適値に補正することにより液晶表示パネルの表示特性の改善を行うことができる。

【0078】それにより、動画表示をした場合においても、残像のより少ない映像を表示することが可能となるため、応答速度の遅い液晶表示パネルであっても、動画表示を行う用途に用いることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1による液晶表示パネル駆動装置の構成を示すブロック図である。

【図2】本発明の実施形態2による液晶表示パネル駆動装置の構成を示すブロック図である。

【図3】エンコーダ回路の構成を示すブロック図である。

*【図4】本発明の実施形態3による液晶表示パネル駆動装置の構成を示すブロック図である。

【図5】本発明の実施形態4による液晶表示パネル駆動装置の構成を示すブロック図である。

【図6】本発明による液晶表示パネルの応答速度補正の原理を説明する図である。

【図7】補正済映像出力信号Scの演算方法の基礎となる液晶表示パネルの応答の説明図である。

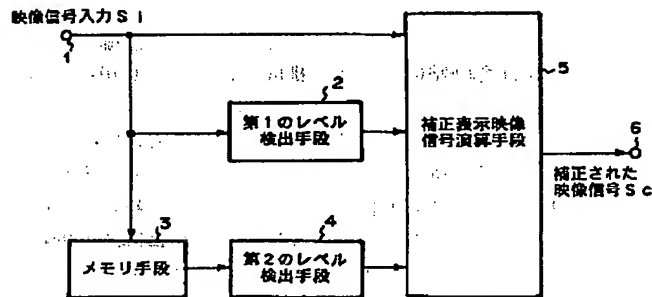
【図8】LUT（ルックアップテーブル）のデータ配列の一例である。

【符号の説明】

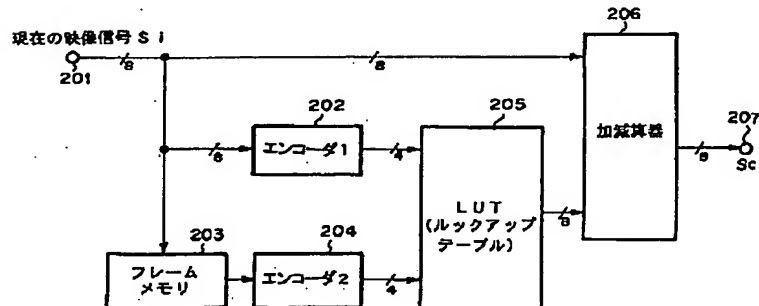
- 1 現在の入力映像の入力端子
- 2 第1のレベル検出手段
- 3 メモリ手段
- 4 第2のレベル検出手段
- 5 補正表示映像信号演算手段
- 6 出力端子

- 201 映像信号入力端子
- 202 第1のエンコーダ回路
- 203 フレームメモリ
- 204 第2のエンコーダ回路
- 205 LUT（ルックアップテーブル）
- 206 加減算器
- 207 出力端子

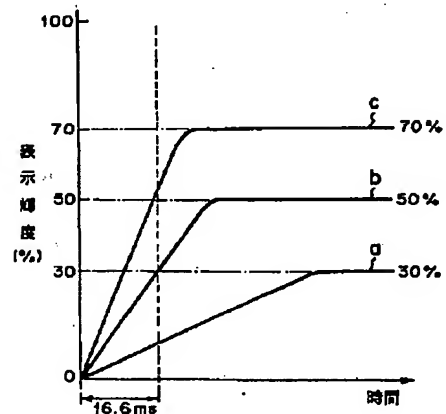
【図1】



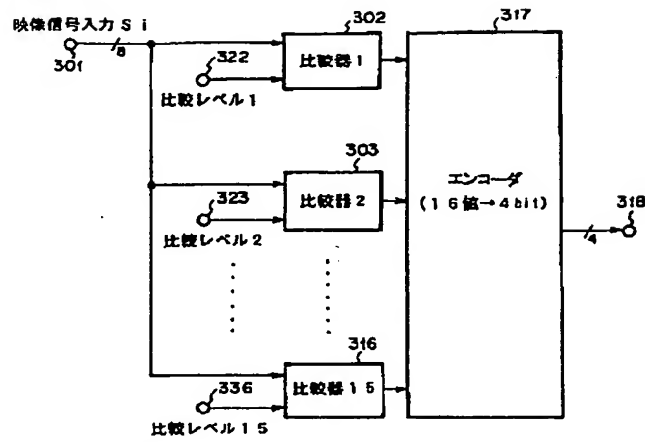
【図2】



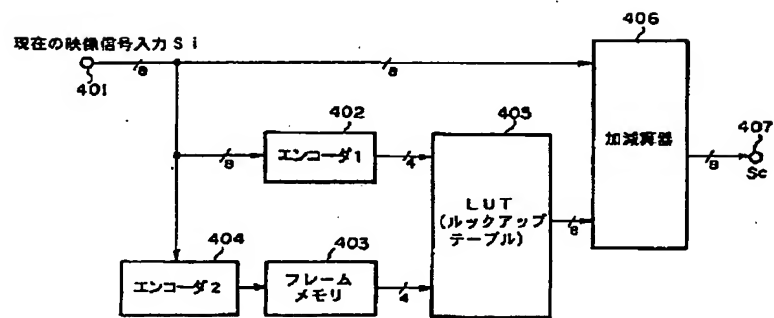
【図7】



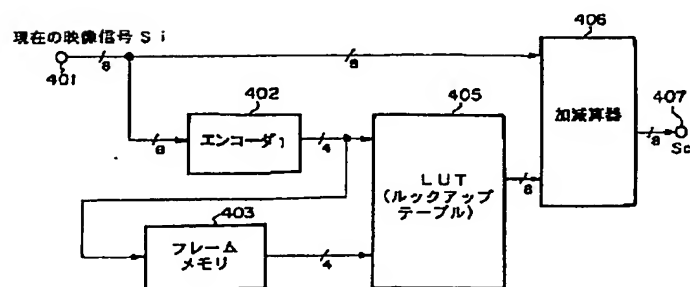
【図3】



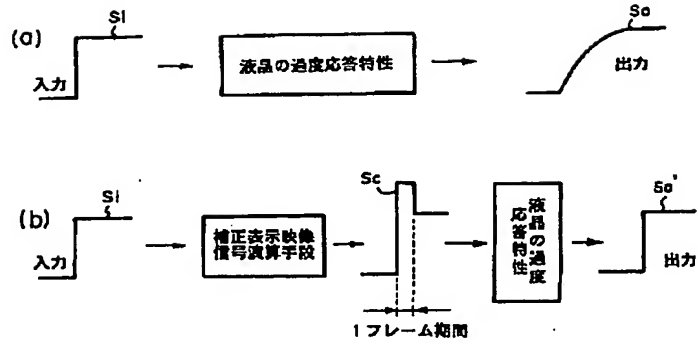
【図4】



【図5】



【図6】



【図8】

現フレームデータ

		アドレス上位4bit								
		0000b	0001b	0010b	...	0111b	1000b	...	1111b	
前フレームデータ	アドレス下位4bit	0000b	0	6	15	...	31	20	...	0
		0001b	-8	0	10	...	28	14	...	0
		0010b	-10	-10	0	...	20	10	...	0
		:	:	:	:	:	:	:	:	:
		0111b	-34	-28	-20	...	0	8	...	0
		1000b	-10	-20	-17	...	-18	0	...	0
		:	:	:	:	:	:	:	:	:
		1111b	0	-10	-15	...	-28	-18	...	0